
Глава 5

ЦИФРОВЫЕ МИКРОЭЛЕКТРОННЫЕ УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

5.1 Основные положения

Цифровое устройство называется последовательностным, если его выходные сигналы y_1, y_2, \dots, y_m зависят не только от комбинации текущих значений входных сигналов x_1, x_2, \dots, x_n , но и от последовательности значений сигналов, поступивших на входы в предшествующие моменты времени. Для фиксации последовательности поступления входных сигналов последовательностное цифровое устройство (ПЦУ) обязательно содержит элементы памяти. ПЦУ называют также цифровыми автоматами, конечными автоматами или автоматами с памятью [4].

Обобщенная структура ПЦУ представлена на рис. 5.1.

Она содержит комбинационное цифровое устройство (КЦУ) и запоминающее устройство (ЗУ), содержащее совокупность простейших элементов памяти ЭП₁, ЭП₂, ..., ЭП_k, на которые воздействуют сигналы u_1, u_2, \dots, u_k . Под воздействием сигнала u_i ($i = \overline{1, k}$) элемент ЭП_i может перейти в одно из двух состояний: 0 или 1. Состояние элемента ЭП_i отображается сигналом z_i ($i = \overline{1, k}$). Упорядоченная совокупность сигналов z_1, z_2, \dots, z_k отображает состояние всего ПЦУ. Общее число состояний ПЦУ, содержащего k простейших элементов памяти, равно 2^k . Функционирование комбинационного цифрового устройства, входящего в состав ПЦУ, определяется системами булевых функций, которые в матричной записи имеют вид:

$$Y = F(X, Z), \quad U = H(X, Z),$$

где $X = [x_1, x_2, \dots, x_n]^T$ — вектор входных переменных; $Y = [y_1, y_2, \dots, y_m]^T$ — вектор выходных переменных; $Z = [z_1, z_2, \dots, z_k]^T$ — вектор состояния; $U = [u_1, u_2, \dots, u_k]^T$ — вектор воздействий на элементы памяти; $F(X, Z) = [f_1(x_1, \dots, x_n, z_1, \dots, z_k), \dots, f_m(x_1, \dots,$

$\dots, x_n, z_1, \dots, z_k)]^T$, $H(X, Z) = [h_1(x_1, \dots, x_n, z_1, \dots, z_k), \dots, h_k(x_1, \dots, x_n, z_1, \dots, z_k)]^T$ — булевы вектор-функции.

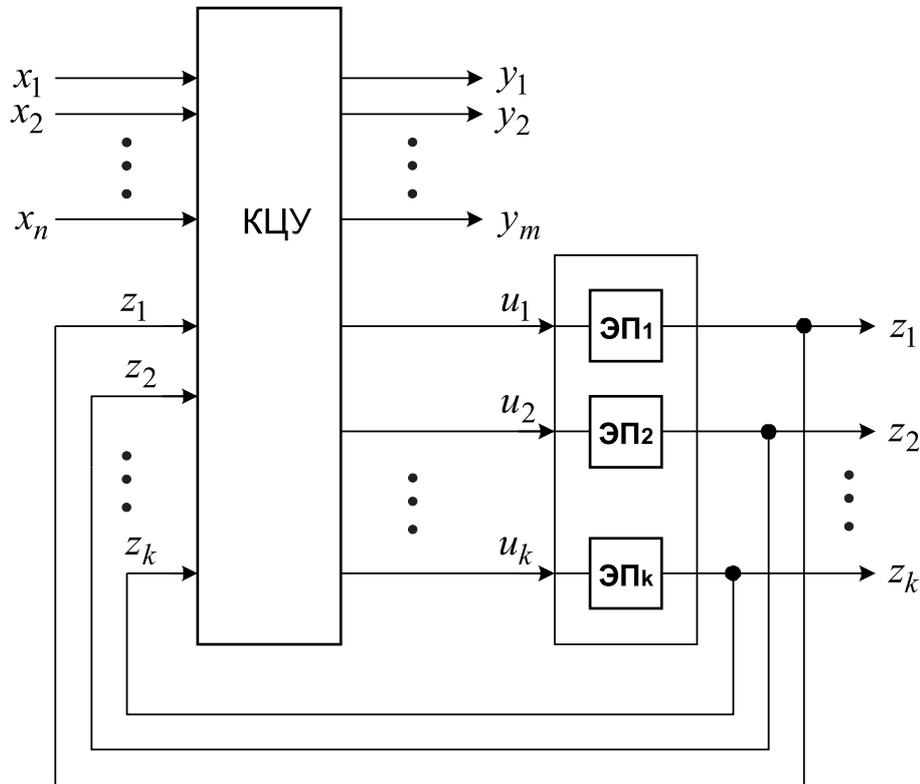


Рис. 5.1 – Обобщенная структура последовательного цифрового устройства

ПЦУ работает под воздействием входных сигналов $X(t)$, поступающих в дискретные моменты времени $t_0, t_1, \dots, t_i, \dots$. В момент времени t_0 ПЦУ находится в начальном состоянии, когда $Z(t) = [z_1(t), z_2(t), \dots, z_k(t)]^T$ принимает некоторое начальное значение $Z(t_0) = [z_1(t_0), z_2(t_0), \dots, z_k(t_0)]^T$. При поступлении в моменты времени t_i сигналов $X(t_i)$ в ПЦУ формируются выходные сигналы $Y(t_i)$ и сигналы, воздействующие на элементы памяти $U(t_i)$. В результате ПЦУ переходит в некоторое новое состояние $Z(t_i)$, и тем самым фиксируется воздействие на него входных сигналов $X(t_i)$ в момент времени t_i .

В синхронных ПЦУ моменты поступления входной информации задаются специальным генератором, который вырабатывает тактовые (синхронизирующие) сигналы через равные промежутки времени (тактовые интервалы) $T = t_{i+1} - t_i = \text{const}$.

В асинхронных ПЦУ генератор тактовых импульсов отсутствует, моменты перехода из одного состояния в другое заранее не определены, а зависят от определенных событий. В таких ПЦУ интервалы дискретности в общем случае являются переменными: $T_i = t_{i+1} - t_i = \text{var}$.

Совокупность правил, определяющих последовательность смены состояний и последовательность выработки выходных сигналов в зависимости от последовательности входных сигналов, называют законом функционирования ПЦУ.

Основой анализа и синтеза ПЦУ является общая теория конечных автоматов [4].

5.2 Триггеры



.....
Триггером называют устройство, которое может находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов.

Для удобства использования триггеры имеют два выхода: прямой Q (от англ. *Quit* — выход) и инверсный \bar{Q} . Поскольку сигналы на выходах Q и \bar{Q} должны быть противоположными (комплементарными), состояние триггера определено, если задано значение одного из выходных сигналов (чаще всего на прямом выходе Q). Состояние $Q = 1, \bar{Q} = 0$ называется единичным, а $Q = 0, \bar{Q} = 1$ — нулевым. При некоторых комбинациях входных сигналов, называемых запрещенными комбинациями, могут появиться состояния $Q = \bar{Q} = 1$ или $Q = \bar{Q} = 0$, которые являются неопределенными, поскольку выходные сигналы не являются комплементарными.

Входы триггера делятся на *информационные* и *вспомогательные (управляющие)*. Сигналы, поступающие на информационные входы, управляют состоянием триггера. Сигналы на вспомогательных входах используются для предварительной установки триггера в требуемое состояние и синхронизации. Вспомогательные входы могут использовать и в качестве информационных. Число входов триггера зависит от его структуры и назначения. Информационные входы триггера принято обозначать буквами S (от англ. *Set* — установка), R (от англ. *Reset* — сброс), J (от англ. *Jerk* — внезапное включение), K (от англ. *Kill* — внезапное отключение), D (от англ. *Delay* — задержка), T (от англ. *Toggle* — релаксатор), а управляющие входы — буквами C (от англ. *Clock* — синхронизация, тактирование) и V (от англ. *Valve* — клапан, вентиль).

Триггеры можно классифицировать по способу приема информации, принципу построения, функциональным возможностям.



.....
 По способу приема информации триггеры подразделяются на *асинхронные* и *синхронные*.

Асинхронные триггеры воспринимают информационные сигналы и реагируют на них в момент появления на входах триггера. Синхронные триггеры реагируют на информационные сигналы при наличии разрешающего сигнала на специальном управляющем входе C , называемом входом синхронизации (тактовым входом).



.....
 Синхронные триггеры подразделяются на триггеры со *статическим* и *динамическим управлением* по входу C .

Триггеры со статическим управлением воспринимают информационные сигналы при подаче на вход синхронизации сигнала логической 1 (если вход син-

хронизации прямой) или сигнала логического нуля (если вход синхронизации инверсный). Триггеры с динамическим управлением воспринимают информационные сигналы при изменении сигнала на входе синхронизации с уровня логического 0 до уровня логической 1 (если динамический вход синхронизации прямой) или с уровня логической 1 до уровня логического 0 (если динамический вход синхронизации инверсный).

По принципу построения триггеры со статическим управлением можно разделить на *одноступенчатые триггеры* и *двухступенчатые триггеры*. Одноступенчатые триггеры характеризуются наличием одной ступени запоминания информации. В двухступенчатых триггерах имеются две ступени запоминания информации: вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе.

По функциональным возможностям различаются:

- триггер с отдельной установкой состояний 0 и 1 (*RS-триггер*);
- триггер с приемом информации по одному входу D (*D-триггер* или триггер задержки);
- триггер со счетным входом T (*T-триггер*);
- универсальный триггер с информационными входами J и K (*JK-триггер*).

Обобщенная запись характеристического уравнения триггера имеет вид: $Q(t+1) = \delta(Q(t), X(t))$.

Состояние $Q(t+1)$, в которое триггер переходит из состояния $Q(t)$ под действием входных сигналов $X(t)$, принимает значения:

$$Q(t+1) \in \{0, 1, Q(t), \bar{Q}(t), \times\},$$

обозначающие следующее [6]:

- $Q(t+1) = 0$ — триггер находится в нулевом состоянии независимо от изменения сигналов на его входах;
- $Q(t+1) = 1$ — триггер находится в единичном состоянии независимо от изменения сигналов на его входах;
- $Q(t+1) = Q(t)$ — состояние триггера не изменяется при изменении входных сигналов;
- $Q(t+1) = \bar{Q}(t)$ — состояние триггера изменяется на противоположное при изменении входных сигналов;
- $Q(t+1) = \times$ — состояние триггера является неопределенным.

Поскольку число вероятных вариантов смены состояния триггера равно 5, число теоретически возможных типов триггеров с n информационными входами будет равно 5^{2^n} . Теоретическое число триггеров с одним информационным входом ($n = 1$) составляет $5^{2^1} = 25$, однако технически реализованных — только 2. Число триггеров с двумя информационными входами ($n = 2$) теоретически равно $5^{2^2} = 625$, однако технически синтезированы только 8 их типов [6].

Асинхронный RS-триггер с прямыми входами имеет два информационных входа S и R , используемых для установки триггера в единичное и нулевое состояния

соответственно. Закон функционирования RS -триггера с прямыми входами определяется таблицей переходов, представленной в табл. 5.1.

Таблица 5.1 – Таблица переходов RS -триггера с прямыми входами

№	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	Хранение
1	0	0	1	1	
2	0	1	0	1	Установка в единичное состояние
3	0	1	1	1	
4	1	0	0	0	Установка в нулевое состояние
5	1	0	1	0	
6	1	1	0	×	Неопределенное состояние
7	1	1	1	×	

Как следует из таблицы, при комбинации сигналов $S(t) = 1, R(t) = 0$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$. При комбинации сигналов $S(t) = 0, R(t) = 1$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$. Комбинация сигналов $S(t) = 0, R(t) = 0$ не изменяет состояние триггера, то есть $Q(t+1) = Q(t)$. Комбинация сигналов $S(t) = 1, R(t) = 1$ является запрещенной, так как при этой комбинации состояние триггера становится неопределенным.

RS -триггер с прямыми входами может быть реализован на двух двухвходовых логических элементах ИЛИ-НЕ, соединенных перекрестно (рис. 5.2).

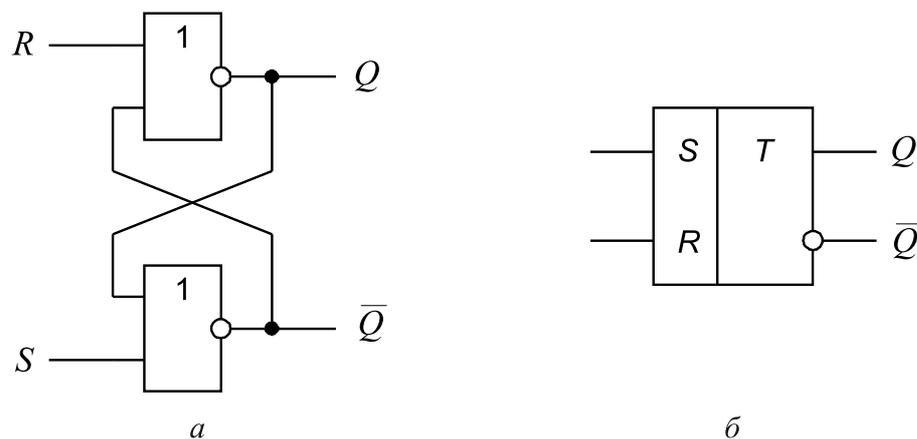


Рис. 5.2 – Логическая структура (а) и условное графическое обозначение (б) асинхронного RS -триггера с прямыми входами

Для асинхронного RS -триггера с инверсными входами активным уровнем входных сигналов является уровень логического нуля, а пассивным — уровень логической единицы.

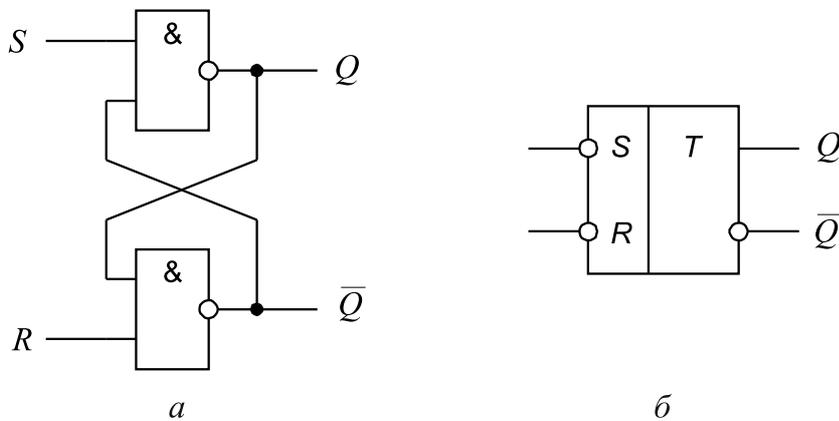
Следовательно, закон функционирования RS -триггера с инверсными входами определяется таблицей переходов, представленной в табл. 5.2.

Таблица 5.2 – Таблица переходов RS -триггера с инверсными входами

№	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	×	Неопределенное состояние
1	0	0	1	×	
2	0	1	0	0	Установка в нулевое состояние
3	0	1	1	0	
4	1	0	0	1	Установка в единичное состояние
5	1	0	1	1	
6	1	1	0	0	Хранение
7	1	1	1	1	

Из таблицы следует: при комбинации сигналов $S(t) = 0, R(t) = 1$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$; при комбинации сигналов $S(t) = 1, R(t) = 0$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$; комбинация сигналов $S(t) = 1, R(t) = 1$ не изменяет состояние триггера, то есть $Q(t+1) = Q(t)$; комбинация сигналов $S(t) = 0, R(t) = 0$ является запрещенной.

RS -триггер с инверсными входами может быть реализован на двух двухвходовых логических элементах И-НЕ, соединенных перекрестно:

Рис. 5.3 – Логическая структура (а) и условное графическое обозначение (б) асинхронного RS -триггера с инверсными входами

Синхронный RS -триггер со статическим управлением отличается от асинхронного наличием входа синхронизации (C -входа), на который поступают синхронизирующие (тактовые) сигналы. Изменение состояния синхронного RS -триггера может происходить только при наличии сигнала логической единицы на входе синхронизации (если вход синхронизации прямой). Если же на входе синхронизации присутствует сигнал логического нуля, триггер находится в режиме хранения. Таким образом, таблица переходов синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации имеет вид, представленный в таблице 5.3.

Таблица 5.3 – Таблица переходов синхронного RS -триггера с прямыми информационными входами и прямым входом синхронизации

№	C	$R(t)$	$S(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	0	Хранения
1	0	0	0	1	1	
2	0	0	1	0	0	
3	0	0	1	1	1	
4	0	1	0	0	0	
5	0	1	0	1	1	
6	0	1	1	0	0	
7	0	1	1	1	1	
8	1	0	0	0	0	
9	1	0	0	1	1	
10	1	0	1	0	1	Установка в единичное состояние
11	1	0	1	1	1	
12	1	1	0	0	0	Установка в нулевое состояние
13	1	1	0	1	0	
14	1	1	1	0	×	Неопределенное состояние
15	1	1	1	1	×	

При комбинации сигналов $S(t) = 1$, $R(t) = 0$, $C = 1$ триггер переходит в единичное состояние ($Q(t+1) = 1$) независимо от предыдущего состояния $Q(t)$. При комбинации сигналов $S(t) = 0$, $R(t) = 1$, $C = 1$ триггер устанавливается в нулевое состояние ($Q(t+1) = 0$) независимо от предыдущего состояния $Q(t)$. Комбинация сигналов $S(t) = 1$, $R(t) = 1$, $C = 1$ является запрещенной. При $C = 0$ триггер не изменяет состояния независимо от значений сигналов на информационных входах, то есть $Q(t+1) = Q(t)$.

Синхронный RS -триггер с прямыми входами может быть реализован на четырех двухвходовых логических элементах И-НЕ:

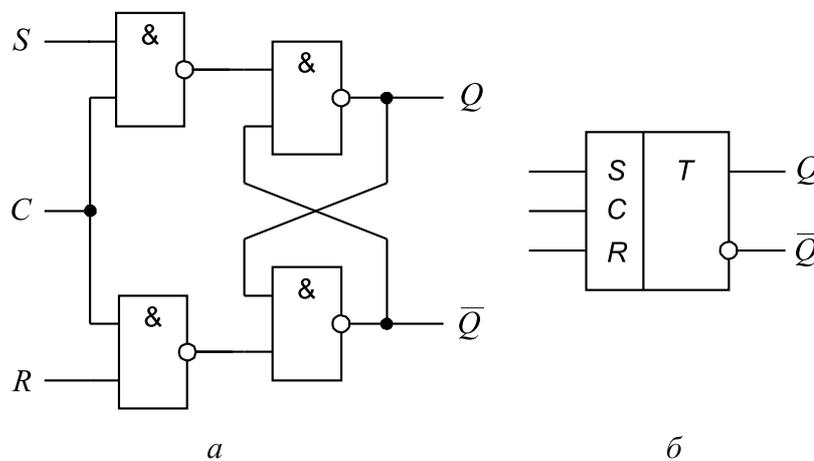


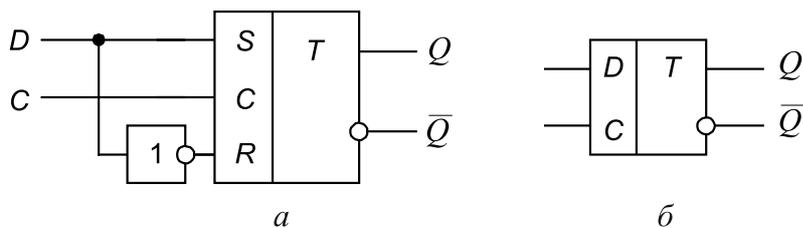
Рис. 5.4 – Логическая структура (а) и условное графическое обозначение (б) синхронного RS -триггера с прямыми информационными входами и статическим управлением

Синхронный D -триггер, или триггер задержки, имеет один информационный вход (D -вход) и вход синхронизации (C -вход). Основное назначение D -триггера — задержка сигнала, поданного на вход D : под действием сигнала синхронизации ($C = 1$) информация, поступающая на вход D , принимается в триггер, но появляется на выходе Q с задержкой на один такт. Если на входе синхронизации присутствует сигнал логического нуля ($C = 0$), то триггер находится в режиме хранения. Закон функционирования D -триггера определяется таблицей переходов, представленной в табл. 5.4.

Таблица 5.4 – Таблица переходов D -триггера

№	C	$D(t)$	$Q(t)$	$Q(t+1)$	Режим
0	0	0	0	0	Хранение
1	0	0	1	1	
2	0	1	0	0	
3	0	1	1	1	
4	1	0	0	0	Запись информации D
5	1	0	1	0	
6	1	1	0	1	
7	1	1	1	1	

Можно считать, что триггер соответствует RS -триггеру, работающему только в режимах установки в единичное ($S = 1, R = 0$, когда $D = 1$) или в нулевое ($S = 0, R = 1$, когда $D = 0$) состояния. Это позволяет реализовать синхронный D -триггер на базе синхронного RS -триггера (рис. 5.5, *a*). Условное графическое обозначение синхронного D -триггера представлено на рис. 5.5, *б*.

Рис. 5.5 – Синхронный D -триггер: *a* – функциональная схема; *б* – условное графическое обозначение

Синхронные RS - и D -триггеры с динамическим управлением являются двух-ступенчатыми структурами, каждая из ступеней которых представляет собой синхронный триггер со статическим управлением.

На рис. 5.6, *a* представлен пример реализации синхронного RS -триггера с управлением по фронту сигнала синхронизации. При $C = 0$ триггер первой ступени устанавливается в состояние, определяемое таблицей переходов (табл. 5.3), а триггер второй ступени работает в режиме хранения. Когда $C = 1$, триггер первой ступени переходит в режим хранения, а сигналы с его выходов обеспечивают установку триггера второй ступени в то же состояние, что и в первой ступени. Таким образом, сигналы на выходе синхронного RS -триггера с динамическим управлением

формируются при переходе сигнала синхронизации со значения логического нуля до значения логической единицы.

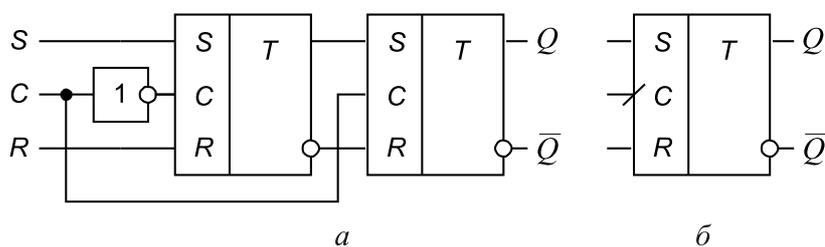


Рис. 5.6 – Синхронный RS-триггер с управлением по фронту сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

На рис. 5.7, *a* приведен пример реализации синхронного *D*-триггера с управлением по срезу сигнала синхронизации. При $C = 1$ происходит запись информации в *D*-триггер первой ступени, а *RS*-триггер второй ступени работает в режиме хранения. Когда $C = 0$, *D*-триггер переходит в режим хранения, а сигналы с его выходов обеспечивают установку *RS*-триггера в такое же состояние, в котором находится *D*-триггер. Таким образом, входная информация формируется на выходе синхронного *D*-триггера с динамическим управлением при переходе сигнала синхронизации со значения логической единицы до значения логического нуля.

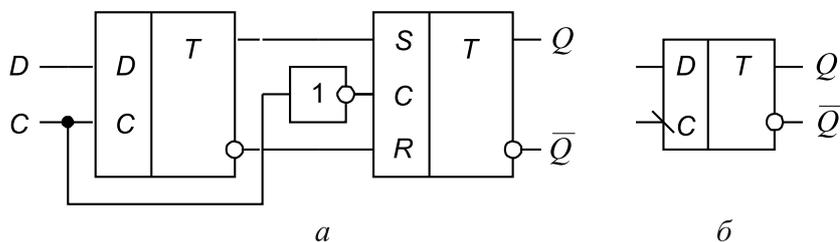


Рис. 5.7 – Синхронный *D*-триггер с управлением по срезу сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

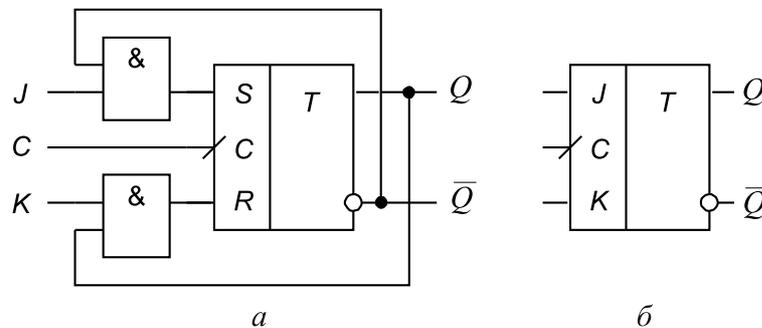
Следует отметить, что на рис. 5.7 *RS*-триггер второй ступени может быть заменен синхронным *D*-триггером со статическим управлением.

Универсальный JK-триггер обладает наиболее широкими функциональными возможностями. Триггер имеет два информационных входа *J* и *K*, используемых для управления режимом работы, а также динамический вход синхронизации *C*. Закон функционирования *JK*-триггера с управлением по фронту сигнала синхронизации определяется таблицей переходов, представленной в табл. 5.5.

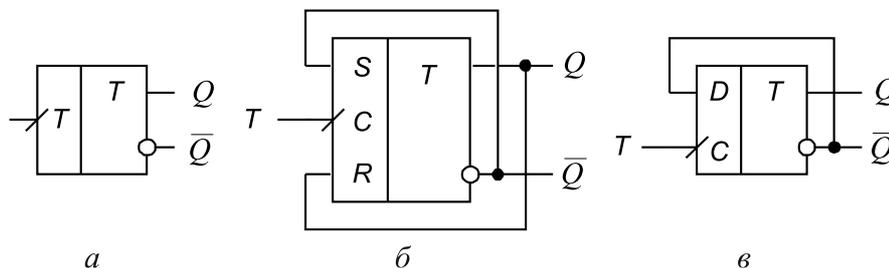
Таблица 5.5 – Таблица переходов *JK*-триггера с управлением по фронту сигнала синхронизации

С	J	K	Q(t+1)	Режим
0	×	×	Q(t)	Хранения
1	×	×	Q(t)	
	0	0	Q(t)	
	0	1	0	Установка в нулевое состояние
	1	0	1	Установка в единичное состояние
	1	1	$\bar{Q}(t)$	Переключение в противоположное состояние

JK-триггер может быть реализован на основе синхронного *RS*-триггера с динамическим управлением (рис. 5.8, *a*).

Рис. 5.8 – Универсальный *JK*-триггер с управлением по фронту сигнала синхронизации: *a* – функциональная схема; *б* – условное графическое обозначение

Счетный триггер (Т-триггер) (рис. 5.9, *a*) содержит только один вход, называемый счетным (тактовым) входом (*T*-входом), на который подаются импульсы синхронизации (тактовые импульсы).

Рис. 5.9 – Счетный триггер с управлением по фронту сигнала синхронизации: *a* – условное графическое обозначение; *б* – реализация на основе синхронного *RS*-триггера с динамическим управлением; *в* – реализация на основе *D*-триггера с динамическим управлением

Закон функционирования счетного триггера заключается в изменении состояния триггера на противоположное по фронту или по срезу каждого тактового

импульса. Счетный триггер может быть построен на базе синхронных RS -триггера и D -триггера с динамическим управлением (рис. 5.9, б и рис. 5.9, в соответственно).



.....
 Для расширения функциональных возможностей интегральные микросхемы триггеров могут содержать вспомогательные входы, предназначенные для предварительной установки триггеров в единичное или нулевое состояния.

Такие входы являются асинхронными и обладают приоритетом по отношению к информационным и тактовым входам. Например, на рис. 5.10 представлены условно-графические обозначения микросхем К555ТМ2 (два D -триггера с управлением по фронту импульсов синхронизации) и К555ТВ9 (два универсальных JK -триггера с управлением по срезу импульсов синхронизации), которые содержат инверсные входы предварительной установки триггеров в единичное и нулевое состояния.

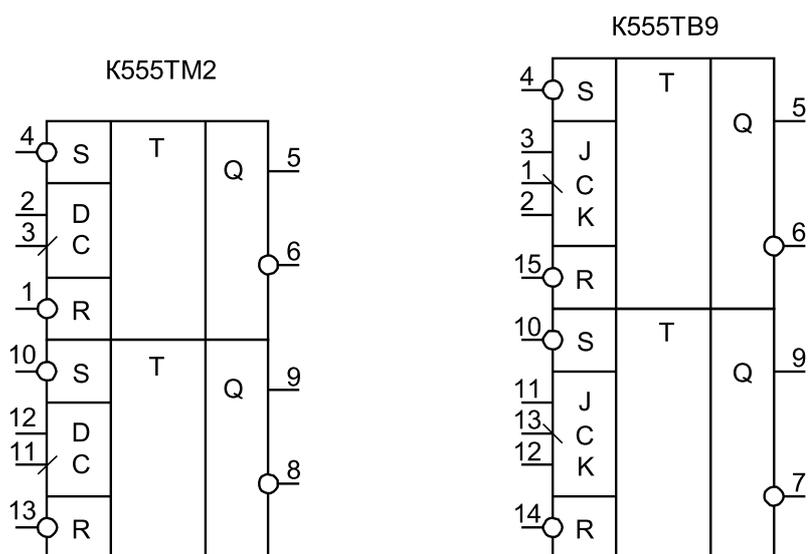


Рис. 5.10 – Условные графические обозначения микросхем триггеров

5.3 Регистры



.....
Регистр — последовательное цифровое устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел (слов).

Регистр представляет собой совокупность триггеров, число которых соответствует числу разрядов хранимого двоичного слова, и вспомогательных комбинационных схем, обеспечивающих реализацию определенных преобразований двоичной информации [2].

Состояние n -разрядного регистра определяется состояниями n триггеров и отображается n -разрядным двоичным словом $Y = y_n \dots y_1$. Для сокращения записи состояния регистра помимо двоичной системы счисления можно использовать восьмеричную и шестнадцатеричную формы представления двоичных чисел. При этом к разрядам регистра неприменимо понятие «весовой коэффициент», поскольку весовая зависимость между отдельными разрядами целиком определяется записанной в регистр информацией. По этой причине на условных графических обозначениях регистров нумерация меток информационных входов и выходов идет подряд.

В регистре могут выполняться следующие операции:

- запись информации — занесение новой информации в регистр; для записи на вход регистра подается n -разрядное двоичное слово $X = x_n \dots x_1$;
- считывание информации — вывод информации из регистра для передачи в другие узлы цифровой аппаратуры;
- установка в начальное состояние («брос») — установка всех триггеров регистра в одинаковое (чаще нулевое) состояние с помощью одного управляющего сигнала;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный код и обратно;
- поразрядные логические операции.

Запись и считывание информации могут выполняться параллельно или последовательно. При параллельной записи (считывании) все разряды записываемого (считываемого) слова фиксируются на триггерах (считываются с триггеров) одновременно. При последовательной записи (считывании) слово записывается (считывается) последовательно во времени, разряд за разрядом.

В зависимости от способа записи и считывания информации различаются следующие типы регистров:

- параллельные — и запись, и считывание выполняются параллельно;
- последовательные — и запись, и считывание осуществляются последовательно;
- параллельно-последовательные — запись производится параллельно, а считывание — последовательно;
- последовательно-параллельные — запись производится последовательно, а считывание — параллельно.

Регистры играют важную роль при построении сложных цифровых устройств, поскольку любое цифровое устройство может быть представлено как совокупность регистров, соединенных друг с другом посредством соответствующих комбинационных цифровых схем.

Регистр состоит из однотипных элементов памяти (триггеров), которые регулярно размещены друг относительно друга. Это позволяет существенно упростить анализ и синтез регистров, поскольку дает возможность представить регистр совокупностью однотипных автоматов, соответствующих отдельным разрядам. Кроме того, упрощается синтез комбинационной цифровой схемы регистра, который сводится к синтезу многократно повторяющейся схемы для одного разряда и схе-

мы, обеспечивающей при необходимости взаимодействие двух соседних разрядов. При этом сложное описание комбинационной схемы регистра в виде системы булевых функций от n переменных заменяется повторяющимся n раз набором булевых функций от m переменных, где $m \ll n$.



По назначению регистры подразделяются на *регистры памяти* и *регистры сдвига*.

Регистры памяти предназначены для хранения цифровой информации небольшого объема. Регистры памяти представляют собой наборы синхронных триггеров с независимыми информационными и объединенными в общую шину синхронизации тактовыми входами. Каждый из триггеров обеспечивает хранение одного разряда двоичного числа. В качестве элементов памяти регистра в основном используются синхронные D -триггеры (рис. 5.11).

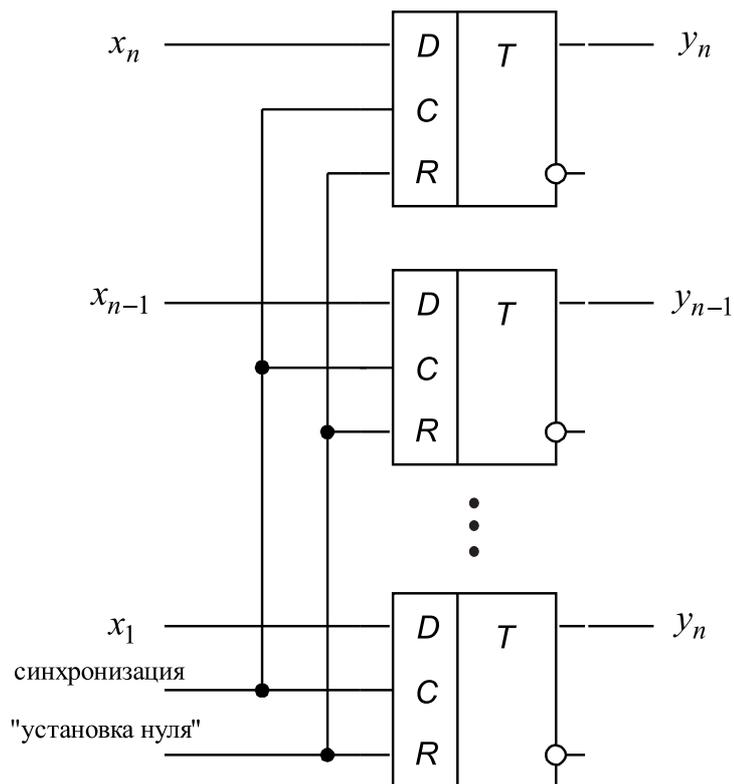


Рис. 5.11 – Функциональная схема n -разрядного регистра памяти

По способу записи и считывания информации регистры памяти относятся к параллельным регистрам. Запись информации в регистр обеспечивается подачей тактовых импульсов на шину синхронизации. С приходом очередного тактового импульса происходит обновление записанной информации. Считывание информации из регистра может производиться в прямом коде (с прямых выходов триггеров) или в инверсном коде (с инверсных выходов триггеров).

Регистры сдвига, помимо хранения, обеспечивают выполнение операции сдвига двоичной информации. Сущность сдвига состоит в том, что с приходом каждого тактового импульса происходит перезапись содержимого триггера каждого разряда в соседний разряд без изменения порядка следования двоичных цифр. По направлению сдвига различают однонаправленные регистры, которые осуществляют сдвиг информации вправо (регистры прямого сдвига, регистры со сдвигом вправо) или влево (регистры обратного сдвига, регистры со сдвигом влево), и реверсивные регистры (допускают сдвиг в обоих направлениях). Регистры сдвига реализуют на синхронных *RS*-, *D*- или *JK*-триггерах с динамическим управлением.



По способу записи и считывания информации регистры сдвига могут быть всех четырех типов: последовательными, параллельными, последовательно-параллельными и параллельно-последовательными.

На рис. 5.12 представлена схема четырехразрядного регистра сдвига вправо. Регистр представляет собой последовательную цепь *D*-триггеров с динамическим управлением по фронту тактовых импульсов. Тактовые импульсы (импульсы сдвига) поступают на все триггеры одновременно. Информационным входом *DI* регистра является вход триггера *DD1*. При подаче тактовых импульсов происходит последовательная запись информации со входа *DI* и ее сдвиг в сторону возрастания номеров триггеров (сдвиг вправо). Для записи в регистр четырехразрядного слова необходимо четыре тактовых импульса. В рассматриваемом регистре считывание информации можно выполнить двумя способами: последовательно (последовательный регистр) и параллельно (последовательно-параллельный регистр). В первом случае информацию снимают поразрядно с выхода *DO4*, во втором случае — со всех выходов в паузе между тактовыми импульсами.

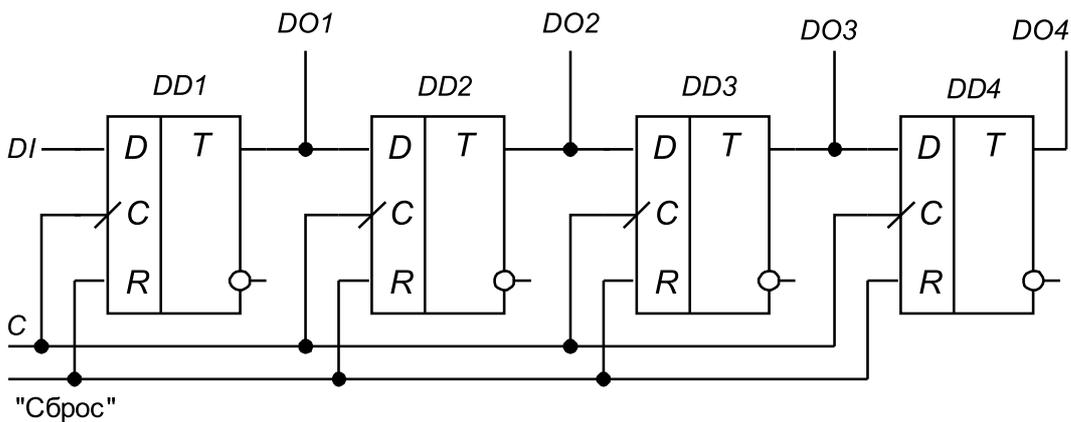


Рис. 5.12 – Функциональная схема регистра сдвига вправо

Сдвиг информации вправо в регистре рис. 5.12 иллюстрируется временными диаграммами рис. 5.13.

Допустим, что в регистр последовательно вводится, начиная с младшего разряда, двоичный код 1011. Предварительный сброс регистра производится пода-

чей сигнала логической единицы на вход «Сброс» (все триггеры устанавливаются в нулевое состояние). С первым тактовым импульсом в триггер $DD1$ записывается единица младшего разряда входного слова. Со следующим тактовым импульсом эта единица будет сдвинута в триггер $DD2$, а в триггер $DD1$ одновременно поступит единица следующего разряда входного слова. Аналогично происходит дальнейший сдвиг информации в триггеры $DD3$ и $DD4$. После четырех тактовых импульсов код на выходах $DO1 - DO4$ соответствует входному коду и может быть параллельно считан внешним устройством. Таким образом, регистр преобразует последовательный код в параллельный код.

Последовательное считывание информации из регистра осуществляется с выхода $DO4$, начиная с пятого тактового импульса.

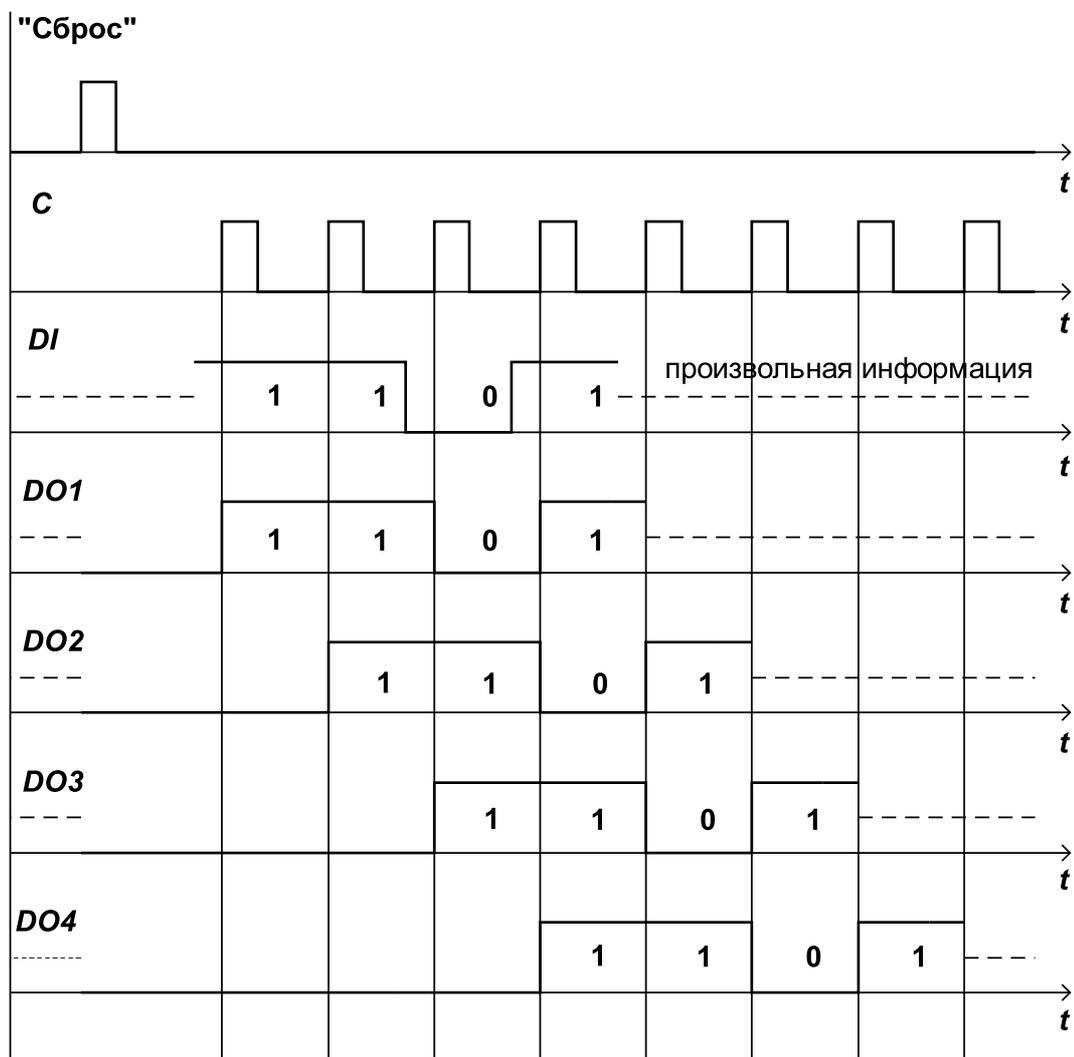


Рис. 5.13 – Временные диаграммы регистра сдвига вправо



Наращивание разрядности регистров сдвига достигается добавлением в последовательную цепь необходимого числа триггеров, тактовые входы которых подключают к шине синхронизации.

5.4 Счетчики и делители частоты



Счетчик представляет собой последовательностное цифровое устройство, циклически переходящее из одного состояния в другое под воздействием счетных (тактовых) сигналов, поступающих на его счетный (тактовый) вход.

Для реализации счетчиков используются T -, D - и JK -триггеры с динамическим управлением, каждый из которых образует соответствующий разряд двоичного кода. Состояние счетчика определяется двоичным кодом, зафиксированным на его триггерах.

В зависимости от организации внутренних связей между триггерами различают:

- асинхронные счетчики (счетчики с последовательным переносом), у которых входные счетные сигналы непосредственно воздействуют на вход синхронизации только одного триггера, а на входы синхронизации каждого последующего триггера сигналы поступают с выхода предыдущего;
- синхронные счетчики (счетчики с параллельным переносом), у которых входные счетные сигналы непосредственно воздействуют на входы синхронизации всех триггеров, а каждый триггер вырабатывает для всех последующих триггеров лишь сигналы управления.

По направлению счета выделяют счетчики:

- суммирующие, состояния которых в процессе счета изменяются в сторону возрастания;
- вычитающие, состояния которых в процессе счета изменяются в сторону убывания;
- реверсивные, способные осуществлять счет как в сторону возрастания, так и в сторону убывания состояний.



Основным параметром счетчика является коэффициент пересчета (модуль счета) $k_{сч}$, определяемый числом всех различных состояний, через которые проходит счетчик в процессе одного полного цикла счета.

Другими словами, коэффициент пересчета представляет собой число импульсов, которые необходимо подать на счетный вход, чтобы счетчик, пройдя полный

цикл счета, вернулся в исходное состояние. Состояния счетчика с коэффициентом пересчета лежат в диапазоне $Q_{сч} = \overline{0, k_{сч} - 1}$.

По значению коэффициента пересчета различают:

- двоичные счетчики, у которых $k_{сч} = 2^n$, где n — число разрядов выходного двоичного кода счетчика (число триггеров); состояние счетчика определяется n -разрядным двоичным кодом в диапазоне $Q_{сч} = \overline{0, 2^n - 1}$;
- десятичные счетчики, у которых $k_{сч} = 10^l$, где l — число двоичных тетрад выходного двоично-десятичного кода счетчика; состояние счетчика определяется 4 l -разрядным двоично-десятичным кодом в диапазоне $Q_{сч} = \overline{0, 10^l - 1}$;
- счетчики с произвольным постоянным коэффициентом пересчета;
- счетчики с переменным (программируемым) коэффициентом пересчета.

Если счетчик находился в исходном состоянии $Q_{сч.нач}$, то его состояние $Q_{сч.кон}$ после подачи N тактовых импульсов определяется выражением:

для суммирующего счетчика

$$Q_{сч.кон} = (Q_{сч.нач} + N) \bmod k_{сч},$$

для вычитающего счетчика

$$Q_{сч.кон} = (k_{сч} - 1) - (k_{сч} + N - Q_{сч.нач} - 1) \bmod k_{сч},$$

где $y \bmod x$ — функция «остаток от деления y на x ».

Для организации асинхронного двоичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо использовать $n = \log_2 k_{сч}$ счетных триггеров, соединяя выход предыдущего триггера со счетным входом последующего. При этом младшему разряду выходного n -разрядного двоичного кода счетчика будет соответствовать первый триггер, на счетный вход которого непосредственно подаются счетные импульсы.

На рис. 5.14 представлен пример реализации и условное графическое обозначение суммирующего асинхронного двоичного счетчика с $k_{сч} = 8$. Счетчик представляет собой последовательную цепь $n = \log_2 8 = 3$ счетных триггеров с управлением по срезу сигнала синхронизации, содержащих дополнительные асинхронные входы R для предварительной установки в нулевое состояние.

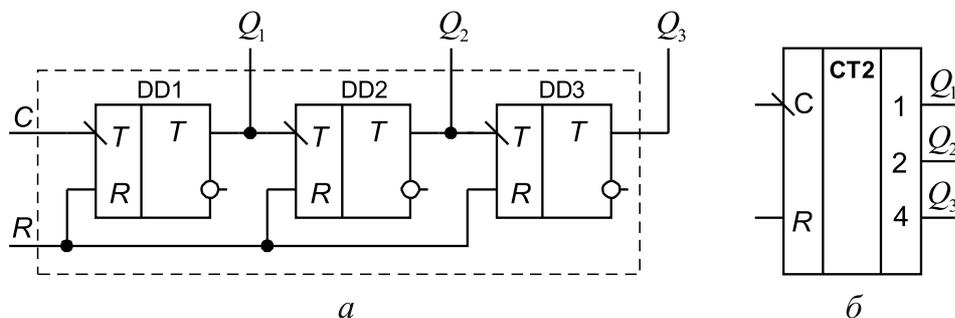


Рис. 5.14 – Суммирующий асинхронный двоичный счетчик: *а* — функциональная схема; *б* — условное графическое обозначение

Счетчик рис. 5.14 устанавливается в исходное (нулевое) состояние подачей сигнала логической единицы на вход R . Тактовые импульсы запускают только триггер $DD1$. Сигналы с прямого выхода триггера $DD1$ являются тактовыми для триггера $DD2$, а сигналы с прямого выхода триггера $DD2$ — тактовыми для триггера $DD3$. Таким образом, изменение состояний последовательно распространяется по цепочке триггеров от $DD1$ к $DD3$. При этом состояния счетчика, определяемые двоичным кодом $Q_3Q_2Q_1$ на выходах триггеров, с приходом тактовых импульсов изменяются от 000 до 111 и затем циклически повторяются (рис. 5.15).

Наращивание разрядности счетчика достигается добавлением в последовательную цепь необходимого числа триггеров, входы R которых подключают к шине сброса.



.....
 Для организации *асинхронного вычитающего счетчика* необходимо либо применять счетные триггеры с управлением по фронту тактовых импульсов, либо в качестве тактовых сигналов последующих триггеров с управлением по срезу использовать сигналы с инверсных выходов предыдущих триггеров.

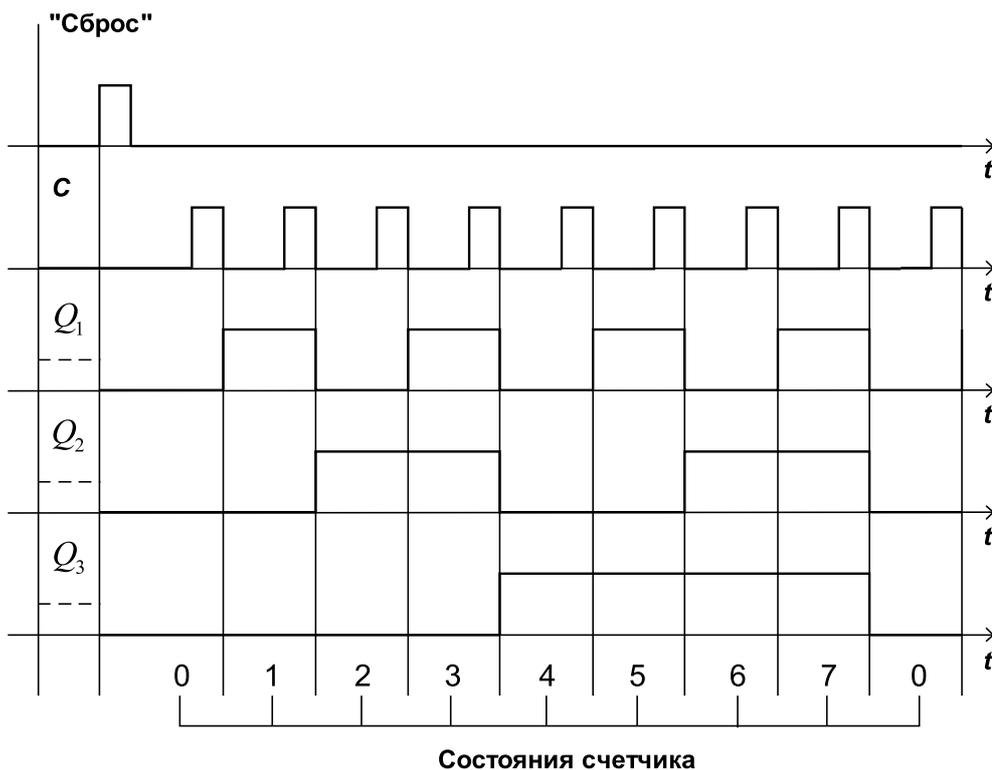


Рис. 5.15 – Временные диаграммы суммирующего асинхронного двоичного счетчика

На рис. 5.16 и 5.17 представлены примеры реализации *вычитающих асинхронных двоичных счетчиков* с $k_{сч} = 8$ на базе $n = \log_2 8$ счетных триггеров.

Счетчик (рис. 5.16) устанавливается в нулевое состояние подачей сигнала логической единицы на вход R . Поскольку изменение состояний триггеров происхо-

дит по фронту тактовых импульсов, состояния счетчика, определяемые двоичным кодом $Q_3Q_2Q_1$, с приходом тактовых импульсов изменяются от 111 до 000 и затем циклически повторяются (рис. 5.18).

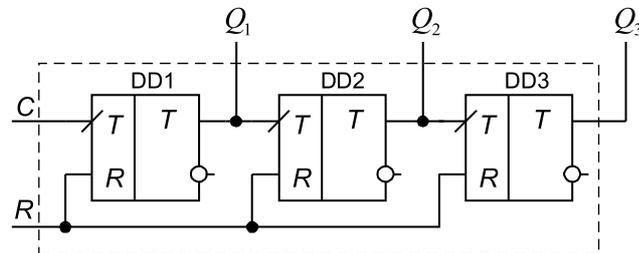


Рис. 5.16 – Функциональная схема вычитающего асинхронного двоичного счетчика

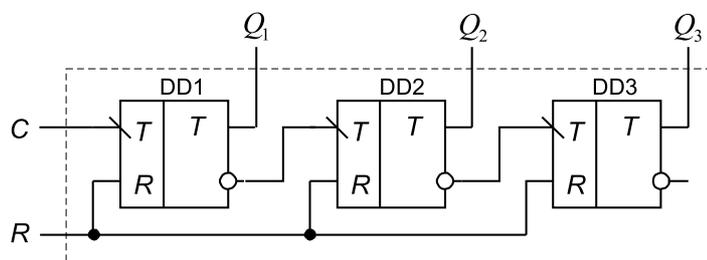


Рис. 5.17 – Функциональная схема вычитающего асинхронного двоичного счетчика

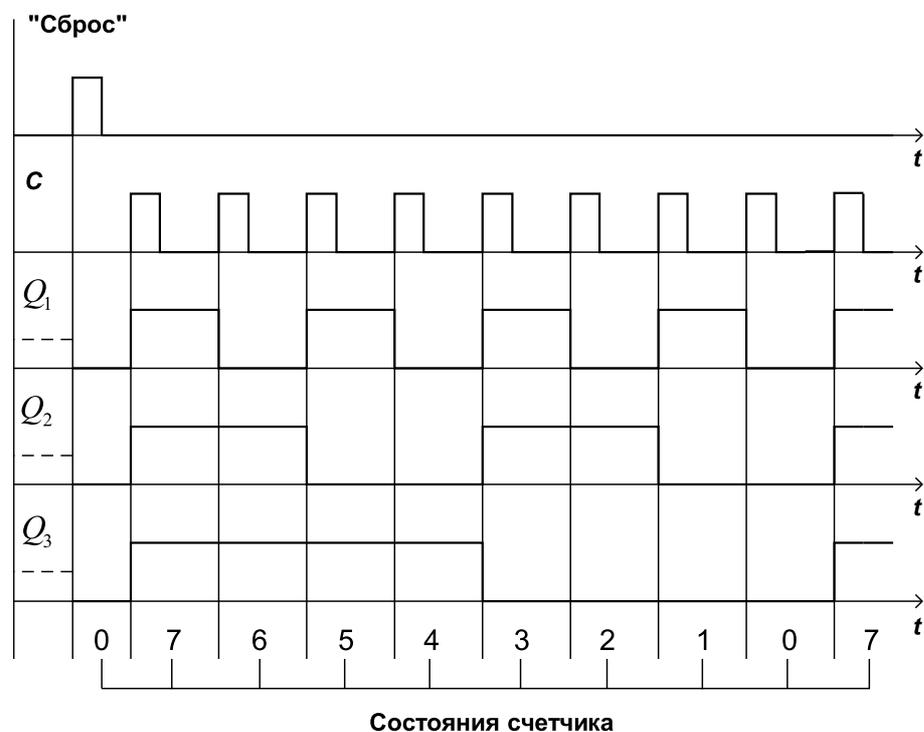


Рис. 5.18 – Временные диаграммы вычитающего асинхронного двоичного счетчика

В счетчике (рис. 5.17) использование сигналов с инверсных выходов триггеров для тактирования последующих триггеров эквивалентно применению триггеров с управлением по фронту (рис. 5.19).



.....
 Для построения *реверсивного асинхронного счетчика* необходимо в зависимости от сигнала управления в качестве тактовых сигналов последующих триггеров использовать либо прямые, либо инверсные выходные сигналы предыдущих триггеров.

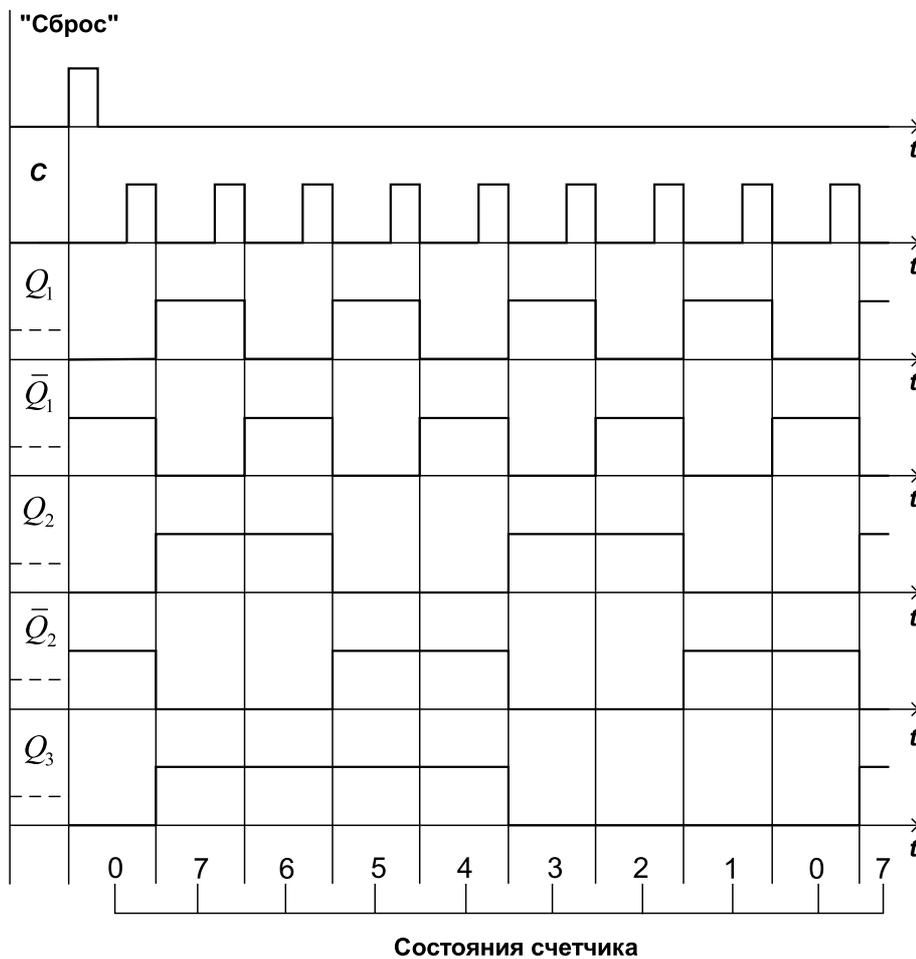


Рис. 5.19 – Временные диаграммы вычитающего асинхронного двоичного счетчика

Формирование соответствующего тактового сигнала можно реализовать, используя логические элементы «исключающее ИЛИ».

На рис. 5.20 представлена схема асинхронного реверсивного трехразрядного счетчика. Вход R предназначен для установки счетчика в нулевое состояние. Направление счета определяется сигналом управления, подаваемым на вход « ± 1 ». При поступлении на вход « ± 1 » сигнала логического нуля логические элементы «исключающее ИЛИ» работают как повторители сигналов с прямых выходов триг-

геров, обеспечивая счет в прямом направлении. Если на вход « ± 1 » подан сигнал логической единицы, элементы «исключающее ИЛИ» функционируют как инверторы сигналов с прямых выходов триггеров, в результате чего счет осуществляется в обратном направлении. Для наращивания разрядности счетчика используется выход переноса P , который подключается к тактовому входу C триггера последующего разряда.

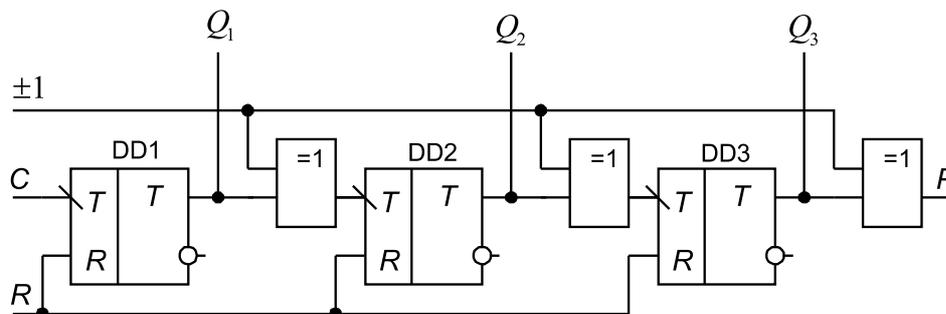


Рис. 5.20 – Функциональная схема асинхронного реверсивного счетчика

Условное графическое обозначение трехразрядного реверсивного двоичного счетчика, структура которого соответствует рис. 5.20, представлено на рис. 5.21.

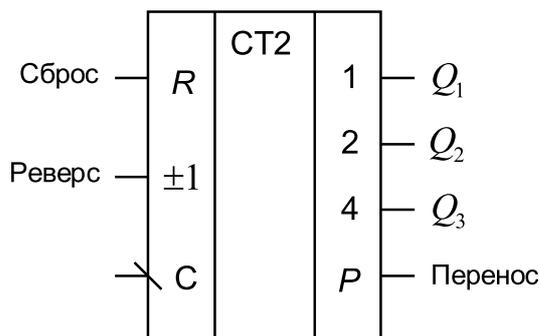


Рис. 5.21 – Условное графическое обозначение реверсивного двоичного счетчика

На рис. 5.22 приведен пример построения шестизрядного ($k_{сч} = 2^6 = 64$) реверсивного счетчика на базе двух трехразрядных счетчиков.



Принцип действия двоичного синхронного суммирующего счетчика сводится к процессу суммирования предыдущего состояния счетчика с единицей.

При этом учитываются следующие особенности:

- если в младшем разряде предыдущего состояния счетчика имеется 0, то суммирование изменяет лишь цифру младшего разряда на единицу;
- если в m младших разрядах содержится единица, а в $(m + 1)$ -ом разряде 0, то цифры m младших разрядов изменяются на значение 0, а в $(m + 1)$ -ом разряде — на значение 1.

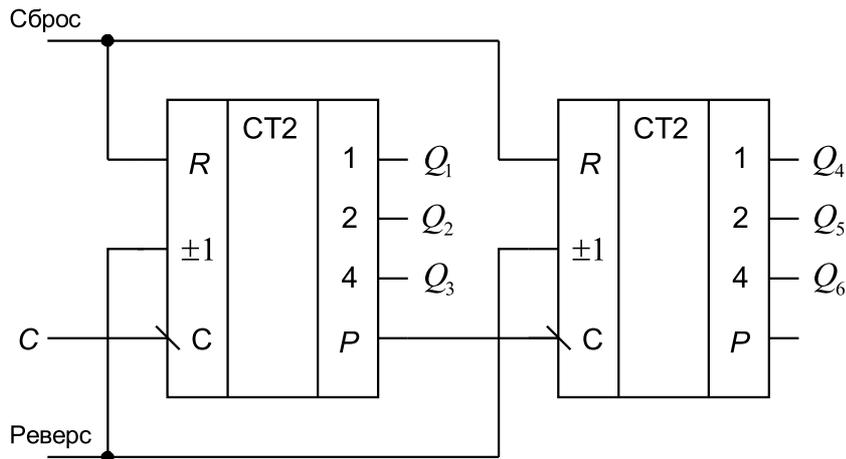


Рис. 5.22 – Нарастивание разрядности реверсивного двоичного счетчика

Пусть $Q_1^i, Q_2^i, \dots, Q_n^i$ – цифры разрядов выходного кода до суммирования; $Q_1^{i+1}, Q_2^{i+1}, \dots, Q_n^{i+1}$ – цифры разрядов выходного кода, полученного в результате суммирования с 1. Обозначим Π_k значение переноса, формируемого при сложении в $(k-1)$ -ом разряде, тогда Π_{k+1} – перенос, формируемый в k -ом разряде.

Результат суммирования предыдущего состояния счетчика с единицей в k -ом разряде определяется табл. 5.6.

Таблица 5.6 – Реализация операции суммирования в синхронном счетчике

Q_k^i	Π_k	Q_k^{i+1}	Π_{k+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Из таблицы следуют булевы выражения:

$$\Pi_{k+1} = Q_k^i \Pi_k \quad (5.1)$$

$$Q_k^{i+1} = Q_k^i \bar{\Pi}_k + \bar{Q}_k^i \Pi_k \quad (5.2)$$

Выражение (5.1) показывает, что сигнал переноса в последующий $(k+1)$ -ый разряд формируется как конъюнкция сигнала с прямого выхода триггера k -го разряда и сигнала переноса с предыдущего $(k-1)$ -го разряда. Выражение (5.2) показывает, что если сигнал переноса из $(k-1)$ -го разряда равен 0, то состояние триггера k -го разряда не изменяется, а в противном случае изменяется на противоположное. Такой закон функционирования k -го разряда счетчика может быть реализован путем применения JK -триггера, на входы J и K которого подается сигнал переноса из предыдущего $(k-1)$ -го разряда. Поскольку значение младшего разряда выходного кода должно меняться с приходом каждого тактового импульса, функционирование триггера младшего разряда определяется выражением $Q_1^{i+1} = \bar{Q}_1^i$. Из сравнения этого выражения с выражением (5.2) следует, что сигнал переноса Π_1 для младшего разряда должен быть равен 1.

Схема четырехразрядного синхронного суммирующего двоичного счетчика, отвечающего рассмотренному принципу организации, представлена на рис. 5.23, где $\Pi_1 = 1$, $\Pi_2 = Q_1^i \Pi_1 = Q_1^i$, $\Pi_3 = Q_2^i \Pi_2$, $\Pi_4 = Q_3^i \Pi_3$.

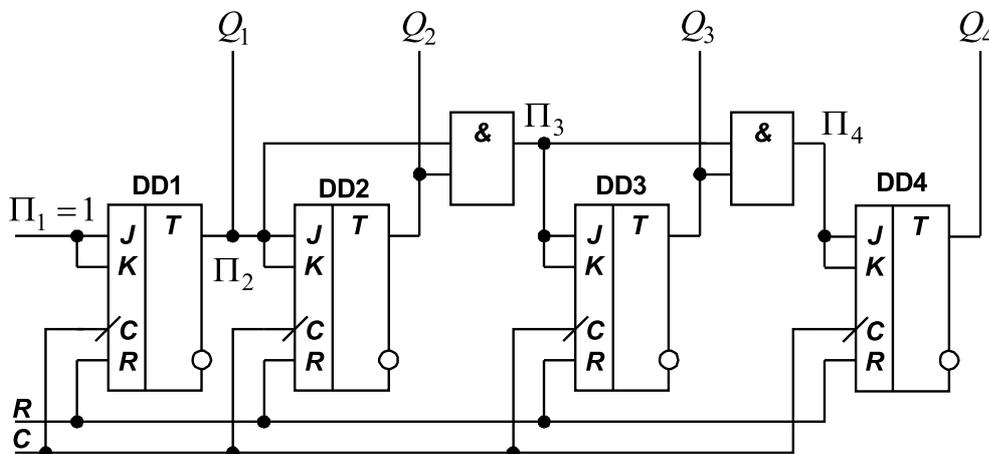


Рис. 5.23 – Функциональная схема синхронного суммирующего двоичного счетчика



В отличие от синхронного суммирующего счетчика в *синхронном вычитающем счетчике* сигналы переноса Π_2, Π_3, \dots формируются не с прямых, а с инверсных выходов триггеров.



Реверсивный синхронный счетчик можно реализовать по аналогии с организацией асинхронных реверсивных счетчиков, используя логические элементы «исключающее ИЛИ».

Счетчики с произвольным постоянным коэффициентом пересчета $k_{сч}$ как правило содержат двоичный счетчик из $n = \lceil \log_2 k_{сч} \rceil + 1$ триггеров, где $\lceil x \rceil$ — функция «целая часть x ».

При этом коэффициент пересчета лежит в диапазоне $2^n \leq k_{сч} < 2^{n+1}$, что свидетельствует о наличии избыточных состояний счетчика. Для исключения избыточных состояний двоичный счетчик дополняется комбинационной схемой, обеспечивающей принудительную установку счетчика в заданное исходное состояние. Для примера рассмотрим синтез асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$.

Реализация счетчика с коэффициентом пересчета $k_{сч} = 97$ требует $n = \lceil \log_2 97 \rceil + 1 = \lceil 6.6 \rceil + 1 = 6 + 1 = 7$ триггеров (разрядов выходного двоичного кода). С целью сокращения номенклатуры используемых интегральных микросхем последовательную цепь из 7 триггеров можно организовать, применяя каскадное соединение двух четырехразрядных суммирующих асинхронных двоичных счетчиков (рис. 5.24). При этом старший триггер счетчика $DD2$ (выход Q_8) является

избыточным. Семиразрядный двоичный счетчик обладает состояниями от $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 0000000_2 = 0_{10}$ до $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1111111_2 = 127_{10}$, а состояния суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$ должны изменяться от $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 0000000_2 = 0_{10}$ до $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100000_2 = 96_{10}$. Это значит, что при переходе из состояния $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100000_2 = 96_{10}$ в состояние $Q = Q_7Q_6Q_5Q_4Q_3Q_2Q_1 = 1100001_2 = 97_{10}$ счетчик должен обнулиться. Обнуление счетчика достигается включением в схему трехходового конъюнктора, на входы которого подаются сигналы с выходов Q_7, Q_6, Q_1 .

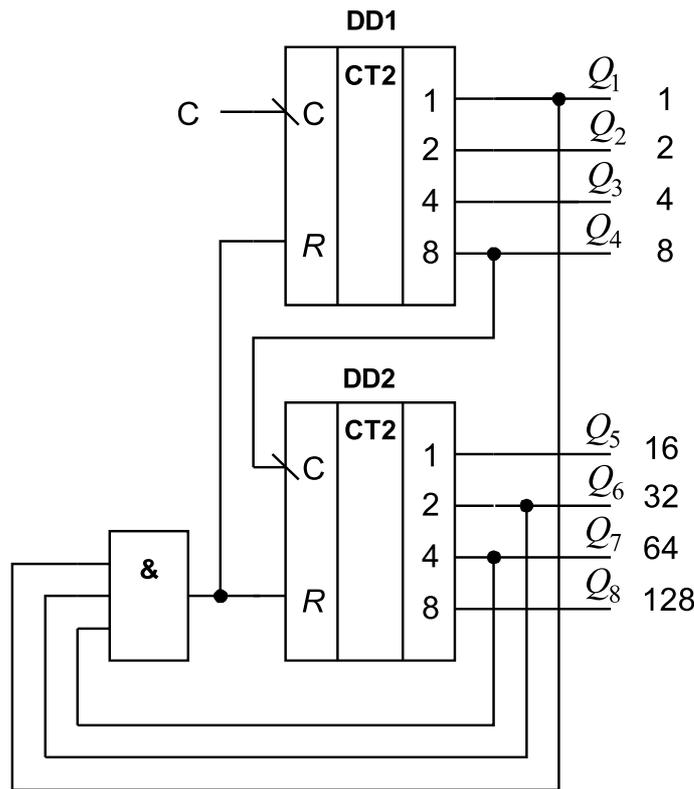


Рис. 5.24 – Функциональная схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч}=97$



.....
 Важным частным случаем счетчиков с произвольным постоянным коэффициентом пересчета являются *десятичные счетчики*, которые выпускаются в виде интегральных микросхем.

Для построения десятичного счетчика с коэффициентом пересчета $k_{сч}$ необходимо $l = \lg k_{сч}$ тетрад выходного кода и $n = 4 \lg k_{сч}$ триггеров. Рассмотрим построение десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 10$. Реализация счетчика с коэффициентом пересчета $k_{сч} = 10$ требует $n = 4 \cdot \lg 10 = 4$ триггера, образующих одну двоичную тетраду (один разряд десятичного кода).

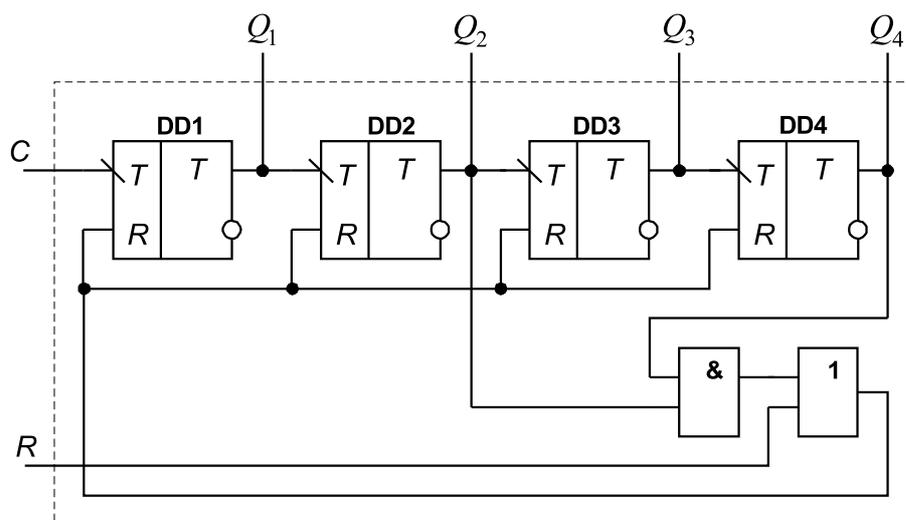


Рис. 5.25 – Функциональная схема десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч}=10$

Двоичный счетчик, содержащий четыре последовательно соединенных триггера, обладает состояниями от $Q = Q_4Q_3Q_2Q_1 = 0000_2 = 0_{10}$ до $Q = Q_4Q_3Q_2Q_1 = 1111_2 = 15_{10}$, а состояния суммирующего десятичного счетчика с коэффициентом пересчета $k_{сч} = 10$ должны изменяться от $Q = Q_4Q_3Q_2Q_1 = 0000_2 = 0_{10}$ до $Q = Q_4Q_3Q_2Q_1 = 1001_2 = 9_{10}$. Логический элемент И обеспечивает сброс счетчика при переходе из состояния $Q = Q_4Q_3Q_2Q_1 = 1001_2 = 9_{10}$ в состояние $Q = Q_4Q_3Q_2Q_1 = 1010_2 = 10_{10}$. Для принудительного сброса счетчика под действием внешнего сигнала со входа R в схеме предусмотрен логический элемент ИЛИ.

Условное графическое обозначение десятичного счетчика с коэффициентом пересчета $k_{сч} = 10$, структура которого соответствует рис. 5.25, представлено на рис. 5.26.

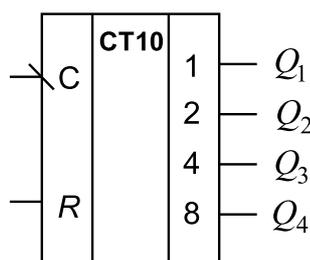


Рис. 5.26 – Условное графическое обозначение десятичного асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 10$

Микросхемы десятичных счетчиков можно использовать для построения счетчиков с произвольным коэффициентом пересчета. При этом каждому десятичному разряду коэффициента пересчета соответствует четырехразрядный десятичный счетчик, а веса разрядов определяются выражением $10^{l-1} \cdot 2^{k-1}$, где l – номер двоичной тетрады, а k – номер разряда в составе данной тетрады.

На рис. 5.27 представлена схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$, построенная на основе микросхем десятичных

счетчиков. Сброс счетчика обеспечивается логическим элементом И с учетом указанных на рис. 5.27 весов разрядов.



.....
Для расширения функциональных возможностей выпускаются интегральные микросхемы счетчиков, содержащие информационные входы для предварительной установки счетчика в произвольное состояние.
.....

Примерами интегральных микросхем счетчиков, содержащих входы предварительной установки, являются четырехразрядные синхронные реверсивные счетчики К555ИЕ7 (двоичный с $k_{сч} = 16$) и К555ИЕ6 (десятичный с $k_{сч} = 10$), условные графические обозначения которых представлены на рис. 5.28.

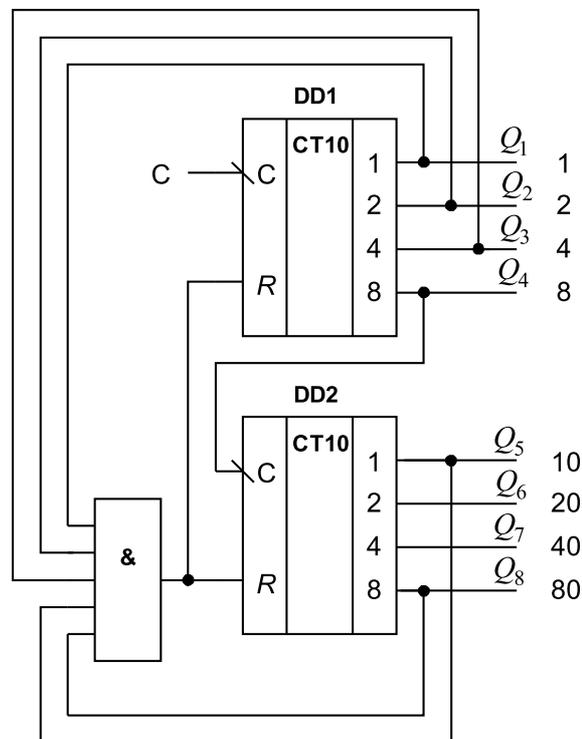


Рис. 5.27 – Функциональная схема асинхронного суммирующего счетчика с коэффициентом пересчета $k_{сч} = 97$

Микросхемы содержат два счетных входа «+1» и «-1» с управлением по фронту тактовых импульсов. Тактовые импульсы подаются на один из этих входов в зависимости от того, в каком направлении требуется вести счет. При работе в режиме суммирующего счетчика тактовые импульсы подаются на вход «+1», а при работе в режиме вычитающего счетчика – на вход «-1». Информационные входы $D3 - D0$ предназначены для записи в счетчик произвольного исходного состояния. Запись исходного состояния производится подачей сигнала логического нуля на асинхронный инверсный вход V разрешения установки счетчика в произвольное состояние.

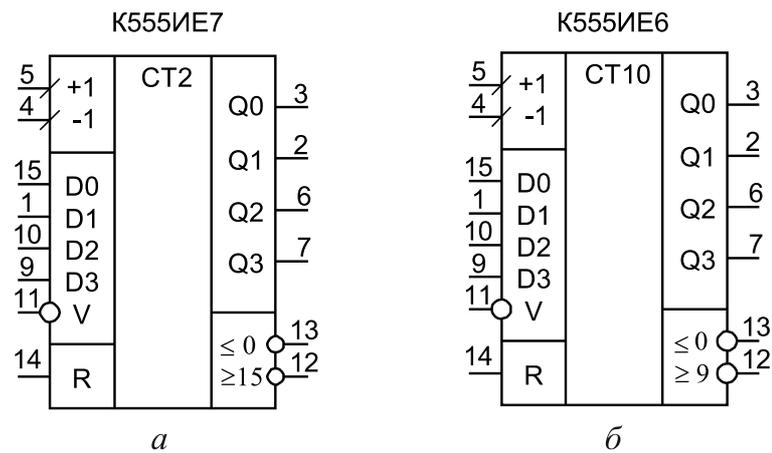


Рис. 5.28 – Условные графические обозначения синхронных реверсивных двоичного (а) и десятичного (б) счетчиков

На рис. 5.29 представлены временные диаграммы работы счетчика K555IE6, когда на входы $D_3 - D_0$ подан двоичный код $0111_2 = 7_{10}$.

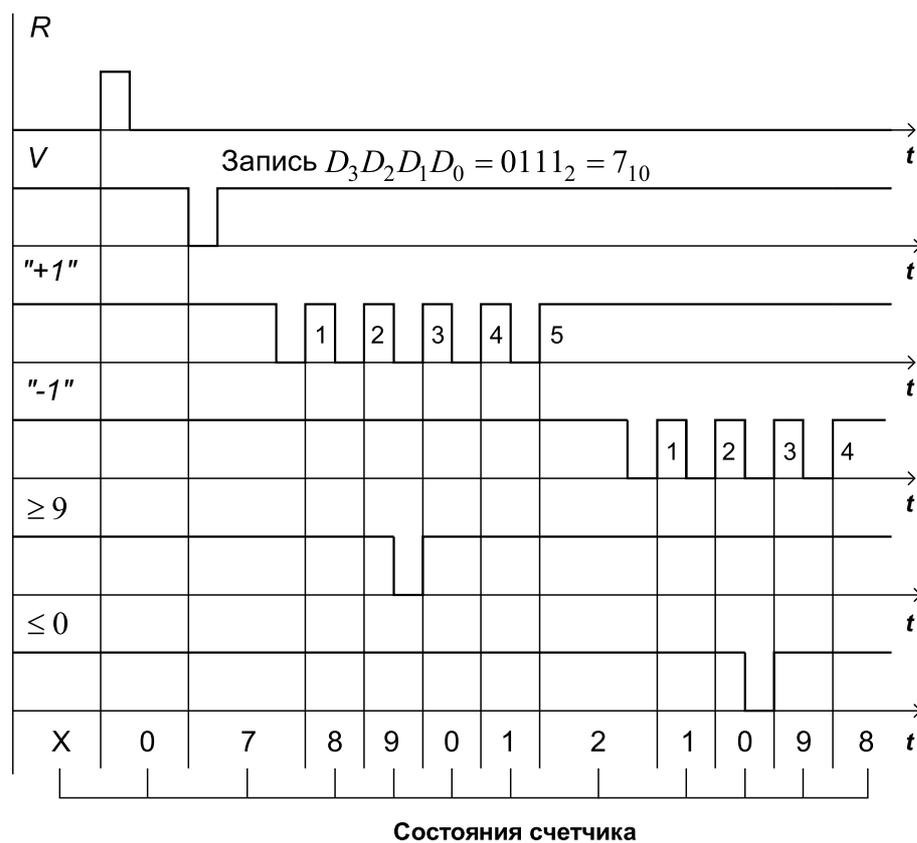


Рис. 5.29 – Временные диаграммы счетчика K555IE6

Асинхронный вход R служит для сброса счетчика в нулевое состояние и является приоритетным над остальными входами. На выходах $Q_3 - Q_0$ формируется двоичный код, определяющий текущее состояние счетчика. Инверсные выходы « ≤ 0 », « ≥ 15 », « ≥ 9 » используют для каскадного соединения микросхем счетчиков. Когда счетчик работает в режиме вычитания и находится в нулевом текущем

состоянии, на выходе заема « ≤ 0 » формируется сигнал, который повторяет сигнал со счетного входа « -1 ». При работе в режиме суммирования, когда счетчик К555ИЕ7 (К555ИЕ6) находится в 15-ом (9-ом) текущем состоянии, на выходе переноса « ≥ 15 » (« ≥ 9 ») формируется сигнал, который повторяет сигнал со счетного входа « $+1$ ». Во всех остальных режимах на выходах « ≤ 0 », « ≥ 15 », « ≥ 9 » присутствует сигнал логической единицы.

Временные диаграммы для счетчика К555ИЕ7 подобны рассмотренным за исключением пределов счета.

Для наращивания разрядности счетчиков применяют последовательное включение микросхем К555ИЕ7, К555ИЕ6. На рис. 5.30 показана схема реверсивного восьмиразрядного двоичного счетчика ($k_{сч} = 2^8 = 256$), реализованного на двух микросхемах К555ИЕ7.

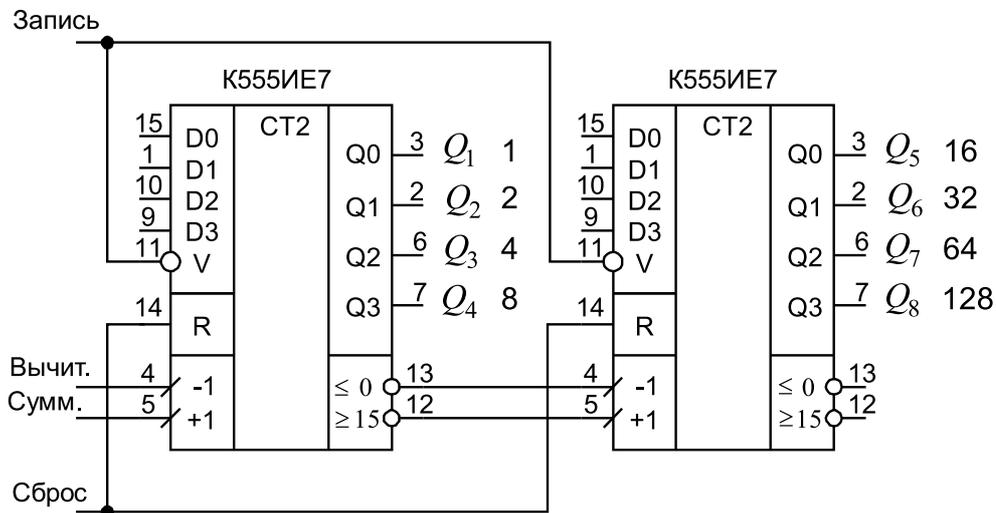


Рис. 5.30 – Наращивание разрядности реверсивного двоичного счетчика



Цифровой делитель частоты представляет собой последовательностное цифровое устройство, на выходе которого формируется периодическая последовательность импульсов с частотой $f_{вых} = f_{вх}/k_{дел}$, где $f_{вх}$ – частота периодической последовательности импульсов на входе, а $k_{дел}$ – коэффициент деления частоты.

Реализация цифровых делителей частоты основана на применении цифровых счетчиков, у которых $k_{сч} = k_{дел}$. При этом последовательность смены состояний может быть произвольной, важно лишь обеспечить требуемый коэффициент пересчета счетчика. Наиболее просто реализуются делители частоты с коэффициентами деления $k_{дел} = 2^n$, где n -произвольное натуральное число, поскольку на выходе k -го разряда двоичного счетчика частота следования импульсов связана с частотой $f_{вх}$ тактовых импульсов соотношением $f_{вых.k} = f_{вх}/2^k$.



.....
 Для построения делителей частоты с коэффициентом деления $k_{\text{дел}} \neq 2^n$ необходимо синтезировать счетчик с произвольным коэффициентом пересчета.

Делитель частоты с коэффициентом деления $k_{\text{дел}} = 12$ представлен на рис. 5.31.

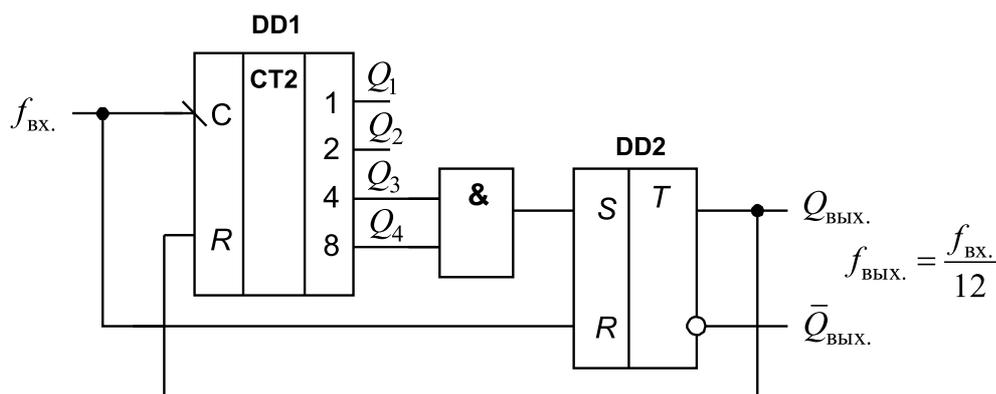


Рис. 5.31 – Функциональная схема делителя частоты с коэффициентом деления $k_{\text{дел}} = 12$

Временные диаграммы работы делителя частоты приведены на рис. 5.32.

В основу делителя частоты положен суммирующий счетчик с коэффициентом пересчета $k_{\text{сч}} = 12$. При переходе счетчика в двенадцатое состояние на выходе логического элемента И формируется сигнал логической единицы, который устанавливает RS -триггер в единичное состояние. Сигнал логической единицы с прямого выхода RS -триггера сбрасывает счетчик в нулевое состояние. При этом суммарная задержка распространения сигнала в микросхемах определяет длительность импульса на входе S триггера. С приходом следующего тактового импульса RS -триггер устанавливается в нулевое состояние. В результате на выходах триггера формируются периодические последовательности импульсов с частотой $f_{\text{вых}} = f_{\text{вх}}/12$.

Схема делителя частоты с программируемым коэффициентом деления представлена на рис. 5.33. Для обеспечения программирования коэффициента деления частоты использован счетчик, содержащий информационные входы для предварительной установки в произвольное состояние.

При работе в режиме вычитания состояния счетчика изменяются от $D_{\text{прогр}}$ до 0. Когда счетчик находится в нулевом состоянии, по фронту тактового импульса происходит запись логического нуля с выхода заема « ≤ 0 » в D -триггер, что обеспечивает очередную установку счетчика в состояние $D_{\text{прогр}}$. Таким образом, число состояний счетчика равно $(D_{\text{прогр}} + 1)$, следовательно, $k_{\text{дел}} = k_{\text{сч}} = D_{\text{прогр}} + 1$.

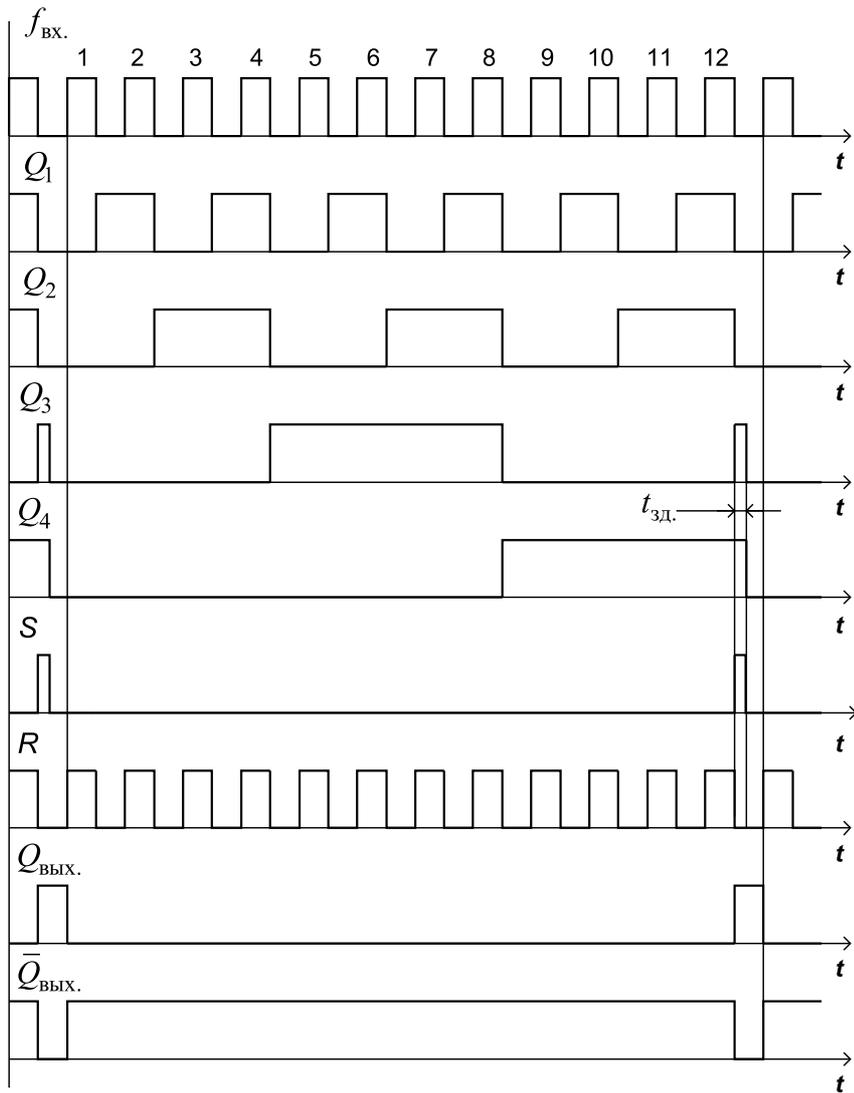


Рис. 5.32 – Временные диаграммы делителя частоты с коэффициентом деления $k_{дел} = 12$

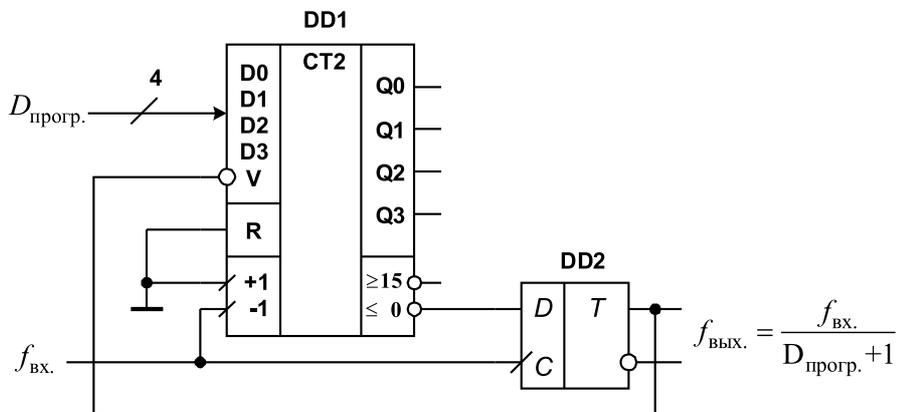


Рис. 5.33 – Функциональная схема делителя частоты с программируемым коэффициентом деления

Временные диаграммы работы программируемого делителя частоты при $D_{\text{прогр}} = 7$ представлены на рис. 5.34.

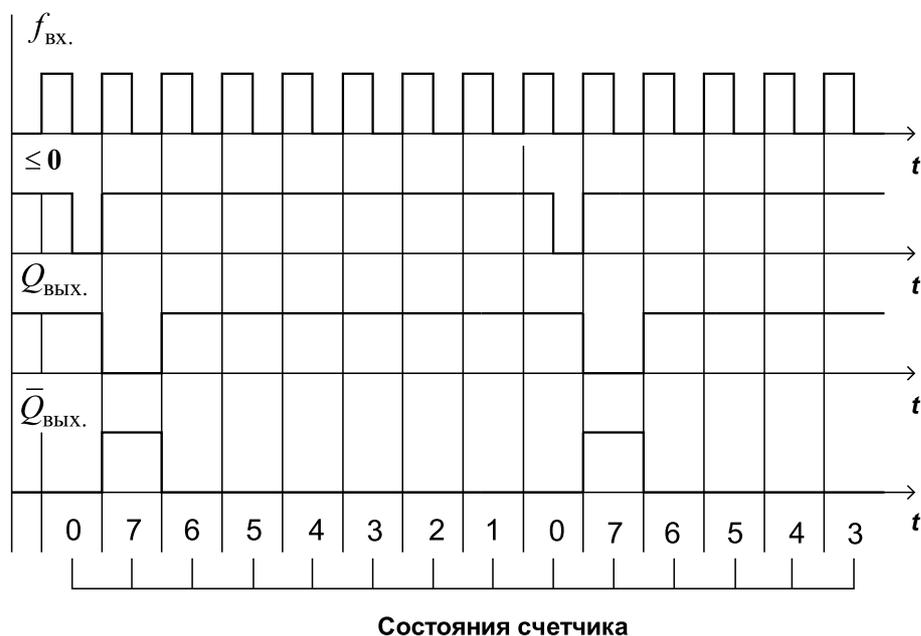
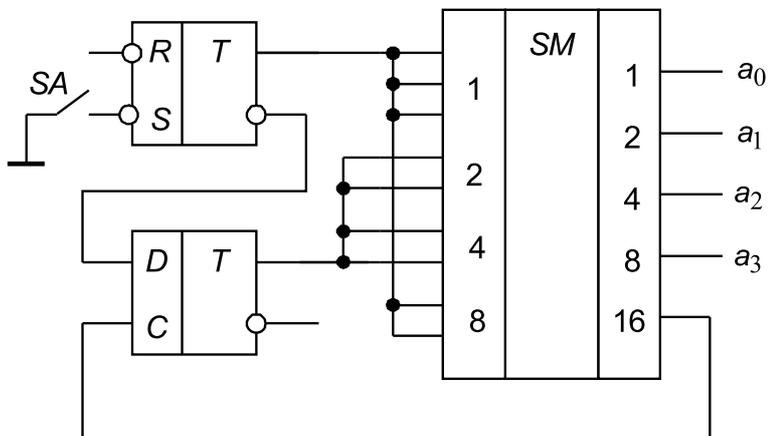


Рис. 5.34 – Временные диаграммы программируемого делителя частоты при $D_{\text{прогр}} = 7$

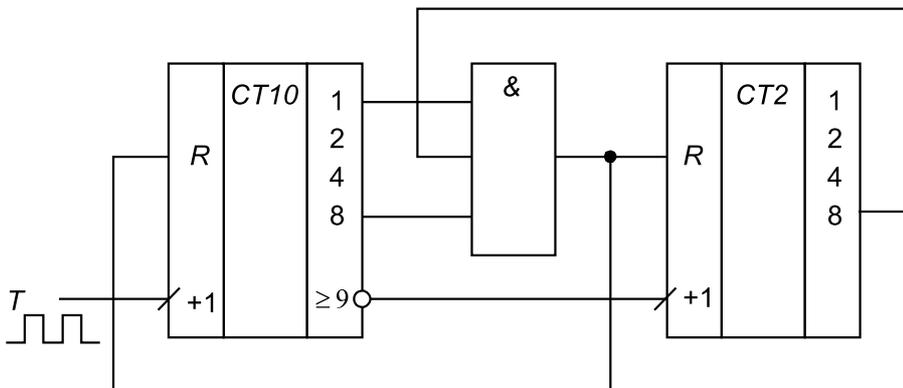


Контрольные вопросы по главе 5

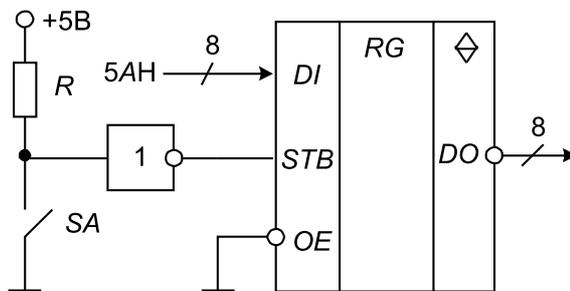
- 1) Определить двоичный код $a_3a_2a_1a_0$, формируемый на выходе схемы при замыкании ключа:



2) Определить коэффициент пересчета счетчика:



3) Определить восьмиразрядное слово на выходе регистра после замыкания ключа:



4) Определить уровни сигналов на выходах восьмиразрядного суммирующего двоичного счетчика после поступления на его вход 90 импульсов, если счетчик находился в 175 состоянии.

5) Указать назначение вывода «13» двоичного счетчика:

